**Практическое задание по лекции 5**

**Ответы на вопросы лекция 5**

**1. *Какие блоки составляют конвейер МП 80286?***

- BU (Bus Unit) - шинный блок (считывание из памяти и портов ввода/вывода);

- IU (Instruction Unit) - командный блок (дешифрация команд);

- EU (Executive Unit) - исполнительный блок (выполнение команд);

- AU (Address Unit) - адресный блок (вычисляет все адреса, формирует физический адрес).

**2. *Какой блок и почему был добавлен в конвейер МП Intel-486?***

В МП Intel486 был добавлен пятиступенчатый конвейерный блок для обработки команд, в связи с развитием идеи конвейеризации.

Состав нового конвейерного блока:

- PF (Prefetch) - предвыборка команд;

- D1 (Instruction Decode) - декодирование команды;

- D2 (Address Generate) - формирование адреса;

- EX (Execute) - выполнение команды в АЛУ и доступ к кэш-памяти;

- WB (Write Back) - обратная запись.

**3. *Что понимают под суперскалярной архитектурой?***

Под суперскалярностью подразумевается наличие более одного конвейера для обработки команд (в отличие от скалярной - одноконвейерной архитектуры).

**4. *Какие способы обработки данных объединяет термин "динамическое исполнение программы"?***

- Глубокое предсказание ветвлений (с вероятностью >90% можно предсказать 1015 ближайших переходов).

- Анализ потока данных (на 20-30 шагов вперед просмотреть программу и определить зависимость команд по данным или ресурсам).

- Опережающее исполнение команд (МП P6 может выполнять команды в порядке, отличном от их следования в программе).

**5. *В чем состоит внутренняя RISC-архитектура ЦП Pentium Pro?***

Внутренняя организация МП P6 соответствует архитектуре RISC, поэтому блок выборки команд, считав поток инструкций IA-32 из L1 кэша инструкций, декодирует их в серию микроопераций. Поток микроопераций попадает в буфер переупорядочивания (пул инструкций).

**6. *В работе какого процессора наблюдается отклонение от принципов фон Неймана? В чем это проявляется?***

Отклонение от принципов фон Неймана наблюдается в линейке процессоров Pentium, начиная с процессора Pentium Pro (P6), в котором произошли значительные изменения в архитектуре, по сравнению с предшествующими моделями. Появилась кэш-память 2-го уровня, сопряжённая с ЦП в виде второго кристалла, добавилось динамическое исполнение, а также архитектура в целом стала суперскалярной.

**7. *В чем состоит преимущество использования двойной независимой шины?***

Одна из этих шин используется только для связи с кристаллами вторичного кэша. Вторая шина процессорного кристалла выходит на внешние выводы микросхемы.

**8. *Что нового появилось в архитектуре процессора Pentium III по сравнению с Pentium MMX?***

Набор команд в Pentium III был расширен еще несколькими командами, был усовершенствован механизм потокового доступа к памяти, в сравнении с Pentium MMX, добавлен новый тип данных - упакованные числа с плавающей запятой одинарной точности, а также 8 новых 128-разрядных регистров данных.

**9. *Какие особенности имеет Net Burst-архитектура?***

Характерными особенностями архитектуры NetBurst являются гиперконвейеризация и применение кэша последовательностей микроопераций вместо традиционного кэша инструкций. АЛУ процессоров архитектуры NetBurst также имеет существенные отличия от АЛУ процессоров других архитектур. Также возможно применение технологии Hyper-threading.

**Словарь лекция 5**

Конвейеризация - архитектурный прием, используемый в современных процессорах с целью повышения быстродействия. Идея заключается в разделении обработки компьютерной команды на последовательность независимых стадий с сохранением результатов в конце каждой стадии.

BU (Bus Unit) - шинный блок, предназначенный для считывание из памяти и портов ввода/вывода.

IU (Instruction Unit) - командный блок, предназначенный для дешифрация команд.

EU (Executive Unit) - исполнительный блок, предназначенный для выполнение команд.

AU (Address Unit) - адресный блок, который вычисляет все адреса, а также формирует физический адрес.

PF (Prefetch) - ступень конвейера обработки команд, предназначенная для предвыборки команд.

D1 (Instruction Decode) - ступень конвейера обработки команд, предназначенная для декодирования команды.

D2 (Address Generate) - ступень конвейера обработки команд, предназначенная для формирования адреса.

EX (Execute) - ступень конвейера обработки команд, предназначенная для выполнения команды в АЛУ и доступа к кэш-памяти.

WB (Write Back) - ступень конвейера обработки команд, предназначенная для обратной записи.

Микроархитектура - способ, которым данная архитектура набора команд реализована в процессоре.

Микрооперации - это и есть элементарные преобразования над данными; в качестве примеров можно привести следующие операции: скопировать операнд в регистр, установить флаг в 1, выставить операнд на шину, увеличить содержимое верхушки стека на 1, и т.п.

Динамическое (спекулятивное) исполнение - это термин, под которым подразумевается следующая совокупность возможностей: глубокое предсказание ветвлений, анализ потока данных и опережающее исполнение команд.

RISC - это архитектурный подход к проектированию процессоров, в котором быстродействие увеличивается за счёт такого кодирования инструкций, чтобы их декодирование было более простым, а время выполнения - меньшим.

Суперскалярность - архитектура вычислительного ядра, использующая несколько декодеров команд, которые могут нагружать работой множество исполнительных блоков.

Суперскалярный процессор - процессор, поддерживающий так называемый параллелизм на уровне инструкций за счёт включения в состав его вычислительного ядра нескольких одинаковых функциональных узлов. Планирование исполнения потока инструкций осуществляется динамически вычислительным ядром.